

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0000838
Application Number

출원년월일 : 2003년 01월 07일
Date of Application JAN 07, 2003

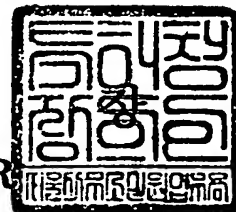
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.01.07
【국제특허분류】	H01L
【발명의 명칭】	모스 전계 효과 트랜지스터 구조 및 그 제조 방법
【발명의 영문명칭】	Mosfet structure and method of fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	진유승
【성명의 영문표기】	JIN, You Seung
【주민등록번호】	730415-1068922
【우편번호】	150-824
【주소】	서울특별시 영등포구 대림2동 1023-5
【국적】	KR
【발명자】	
【성명의 국문표기】	안종현
【성명의 영문표기】	AHN, Jong Hyon
【주민등록번호】	631022-1068121



1020030000838

출력 일자: 2003/4/8

【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 1235번지 신안@ 307-1102
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 430,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 모스 전계 효과 트랜지스터 구조는, 상대적으로 두꺼운 제1 두께를 갖는 제1 영역 및 제1 영역과 인접하고 상대적으로 얇은 제2 두께를 갖는 제2 영역을 갖는 반도체 기판과, 제1 영역에서 반도체 기판 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 게이트 도전막 패턴과, 제2 영역에서 반도체 기판 위에 일정 두께를 갖도록 형성된 에피택셜층과, 게이트 도전막 패턴의 측면 및 상기 에피택셜층의 일부 표면 위에 형성된 스페이서막과, 스페이서막 하부의 반도체 기판 및 에피택셜층에 형성된 상대적으로 저농도의 제1 불순물 영역, 및 스페이서막에 의해 노출되는 영역의 반도체 기판 및 에피택셜층에 형성된 상대적으로 고농도의 제2 불순물 영역을 포함한다.

【대표도】

도 13



【명세서】

【발명의 명칭】

모스 전계 효과 트랜지스터 구조 및 그 제조 방법{Mosfet structure and method of fabricating the same}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 모스 전계 효과 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 3은 종래의 모스 전계 효과 트랜지스터의 문제점을 설명하기 위하여 나타내 보인 도면이다.

도 4 내지 도 13은 본 발명에 따른 모스 전계 효과 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체 소자 구조 및 그 제조 방법에 관한 것으로서, 특히 모스 전계 효과 트랜지스터 구조 및 그 제조 방법에 관한 것이다.

<5> 도 1 및 도 2는 종래의 모스 전계 효과 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<6> 먼저 도 1을 참조하면, 반도체 기판(100) 위에 절연막 및 게이트 도전막을 순차적으로 형성한다. 게이트 도전막 위에는 게이트 도전막의 일부 표면을 노출시키는 마스크

막 패턴(130)을 형성한다. 마스크막 패턴(130)을 식각 마스크로 한 식각 공정을 수행하여, 게이트 도전막 및 절연막의 노출 부분을 제거한다. 이 식각 공정에 의해, 게이트 절연막(110)과 게이트 도전막 패턴(120)이 만들어진다. 또한 이 식각 공정에 의해, 반도체 기판(100)의 일부 표면이 일정 두께(d)만큼 리세스(recess)된 채 노출된다. 식각 공정이 종료되면 마스크막 패턴(130)을 제거한다.

<7> 다음에 도 2를 참조하면, 반도체 기판(100)의 노출 표면 위와 게이트 도전막 패턴(120)의 노출 표면 위에 이온 주입 버퍼막(130)을 형성한다. 그리고 이온 주입 공정을 수행하여 반도체 기판(100) 내의 상부 일정 영역에 저농도의 불순물 영역, 즉 LDD(Lightly Doped Drain) 영역(150)을 형성한다. 다음에 게이트 도전막 패턴(120) 측벽에 게이트 스페이서(140)를 형성한 후, 다시 이온 주입 공정을 수행하여 고농도의 불순물 영역, 즉 소스/드레인 영역(160)을 형성한다.

<8> 도 3은 종래의 모스 전계 효과 트랜지스터의 문제점을 설명하기 위하여 나타내 보인 도면이다. 도 3에서 도 2와 동일한 참조 부호는 동일한 요소를 나타낸다.

<9> 도 3을 참조하면, 게이트 도전막 패턴(120) 형성을 위한 식각 공정시, 반도체 기판(100)의 노출 표면에 대한 리세스가 발생된다는 사실은 앞서 설명한 바 있다. 이외에도 반도체 기판(100)의 노출 표면에 대한 리세스 발생은, 마스크막 패턴(도 1의 130)을 제거하기 위한 식각 공정이나, 또는 이온 주입 공정 이후의 클리닝 공정 등에 의해서도 일어난다. 그런데 이와 같은 반도체 기판(100) 노출 표면의 리세스 발생으로 인하여, 후속의 이온 주입 공정에 의해 형성되는 LDD

영역(150)이 원하는 프로파일(profile)로 형성되지 못한다는 문제가 발생한다. 즉 반도체 기판(100) 노출 표면의 리세스가 발생하지 않을 경우에 형성될 LDD 영역(150)(A로 표시)에 비하여, 반도체 기판(100) 노출 표면의 리세스가 발생하는 경우 LDD 영역(150)(B로 표시)은 보다 더 좌측으로 이동(큰 화살표로 표시)되어 형성된다. 또한 하측으로도 이동(작은 화살표로 표시)하는데, 이동 길이는 리세스 두께보다 작다. 비록 도면에 나타내지는 않았지만, 이와 같은 현상은 게이트 도전막 패턴(120)의 좌측에서도 동일하게 발생한다는 것은 쉽게 유추할 수 있다.

<10> 이와 같이 LDD 영역(150)이 게이트 절연막(110) 하부의 반도체 기판(100)을 향해 더 확장됨으로 인하여 모스 전계 효과 트랜지스터의 특성에 나쁜 영향을 끼칠 수 있는데, 대표적인 예로서 유효 채널 길이가 짧아진다는 문제가 있다. 유효 채널 길이가 짧아지게 되면 잘 알려진 짧은 채널 효과(SCE; Short Channel Effect) 현상이 일어날 가능성이 더 커진다. 다른 예로서 소스/드레인 저항이 증가한다는 문제가 있다. 소스 영역으로부터 나온 캐리어(carrier)가 채널 영역을 지나 LDD 영역(150) 및 드레인 영역(160)을 지나는 동안의 이동 경로를 따라 존재하는 저항은 채널 영역에서의 축적 저항(R_a), LDD 영역(150)에서의 확산 저항(R_{sp}), 드레인 영역(160)에서의 병렬 저항(R_s) 및 드레인 영역(160)의 콘택 부분에서의 접촉 저항(R_c) 등이 있다. 이들 중 LDD 영역(150)에서의 확산 저항(R_{sp})은 LDD 영역(150)의 프로파일에 의해 영향을 받는다. 즉 LDD 영역(150)의 하측으로의 이동 길이보다 리세스 두께가 더 크므로 LDD 영역(150)의 수직 단면적은 감소하게 되며, 이에 따라 저항은 더 증가하게 된다. LDD 영역(150)에서의 확산 저항(R_{sp})이 증가함에 따라 모스 전계 효과 트랜지스터의 전기적인 특성이 열화된다.

【발명이 이루고자 하는 기술적 과제】

- <11> 본 발명이 이루고자 하는 기술적 과제는, 제조 공정 중에 일어나는 반도체 기판의 리세스 현상에 의한 불순물 영역의 프로파일 변경을 방지하여 전기적인 특성 및 동작 특성이 개선되도록 한 모스 전계 효과 트랜지스터 구조를 제공하는 것이다.
- <12> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기와 같은 모스 전계 효과 트랜지스터 구조의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <13> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 모스 전계 효과 트랜지스터 구조는, 상대적으로 두꺼운 제1 두께를 갖는 제1 영역 및 상기 제1 영역과 인접하고 상대적으로 얇은 제2 두께를 갖는 제2 영역을 갖는 반도체 기판; 상기 제1 영역에서 상기 반도체 기판 위에 형성된 게이트 절연막; 상기 게이트 절연막 위에 형성된 게이트 도전막 패턴; 상기 제2 영역에서 상기 반도체 기판 위에 일정 두께를 갖도록 형성된 에피택셜층; 상기 게이트 도전막 패턴의 측면 및 상기 에피택셜층의 일부 표면 위에 형성된 스페이서막; 상기 스페이서막 하부의 상기 반도체 기판 및 상기 에피택셜층에 형성된 상대적으로 저농도의 제1 불순물 영역; 및 상기 스페이서막에 의해 노출되는 영역의 상기 반도체 기판 및 상기 에피택셜층에 형성된 상대적으로 고농도의 제2 불순물 영역을 포함하는 것을 특징으로 한다.
- <14> 상기 반도체 기판은 실리콘 기판이고, 상기 에피택셜층은 실리콘 에피택셜층인 것이 바람직하다.

- <15> 상기 에피택셜층의 두께는 상기 에피택셜층의 두께와 상기 제2 두께의 합이 상기 제1 두께보다 더 크게 되도록 하는 값인 것이 바람직하다. 이 경우 상기 에피택셜층의 두께는 20-500 Å인 것이 바람직하다.
- <16> 상기 게이트 절연막 및 상기 절연막은 실리콘 산화막이고, 상기 게이트 도전막 패턴은 폴리실리콘막 패턴인 것이 바람직하다.
- <17> 상기 스페이서막은 2층의 절연막들로 이루어진 것이 바람직하다.
- <18> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 모스 전계 효과 트랜지스터의 제조 방법은, 반도체 기판의 제1 영역 위에 게이트 절연막, 게이트 도전막 및 마스크막 패턴을 순차적으로 적층한 후, 게이트 절연막 및 게이트 도전막 패턴 형성을 위해 상기 마스크막 패턴을 이용한 식각 공정시 일정 두께만큼 리세스 되는 상기 반도체 기판의 제2 영역을 갖는 모스 전계 효과 트랜지스터의 제조 방법에 있어서, 상기 반도체 기판의 제2 영역, 상기 게이트 도전막 패턴의 노출 측면 및 상기 마스크막 패턴의 노출면 위에 제1 절연막을 형성하는 단계; 상기 제1 절연막 위에 제2 절연막을 형성하는 단계; 상기 제1 절연막 및 제2 절연막에 대한 식각 공정을 수행하여 상기 마스크막 패턴의 상부 표면과 상기 제1 영역과 접하는 일부를 제외한 나머지 제2 영역 표면이 노출되도록 하는 제1 절연막 패턴 및 제2 절연막 패턴을 형성하는 단계; 상기 제1 절연막에 대한 식각 공정을 수행하여 상기 반도체 기판과 접하는 상기 제1 절연막 패턴의 일부가 제거되도록 하여 상기 제2 영역이 완전히 노출되도록 하는 단계; 상기 노출된 제2 영역 위에 에피택셜층을 성장시키는 단계; 상기 에피택셜층 표면과 상기 게이트 도전막 상부면 및 측면이 노출되도록 상기 마스크막 패턴, 상기 제2 절연막 패턴 및 제1 절연막 패턴을 제거하는 단계; 상기 노출된 에피택셜층 표면 위와 상기 게이트 도전막 표면 위에

이온 주입 버퍼층을 형성하는 단계; 제1 이온 주입 공정을 수행하여 상기 에피택셜층 및 반도체 기판에 저농도의 불순물 영역을 형성하는 단계; 상기 저농도의 불순물 영역과 상기 게이트 도전막 상부면 및 측면이 노출되도록 상기 이온 주입 버퍼층을 제거하는 단계; 상기 노출된 저농도의 불순물 영역과 상기 게이트 도전막 표면에 제3절연막 및 제4 절연막을 순차적으로 형성하는 단계; 상기 제3 절연막 및 제4 절연막에 대한 식각 공정을 수행하여 상기 에피택셜층의 일부 표면이 노출되도록 하는 스페이서막을 형성하는 단계; 및 상기 스페이서막을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 에피택셜층 및 반도체 기판 내에 고농도의 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<19> 상기 제2 절연막은 상기 제1 절연막에 대한 식각 선택비를 갖는 물질을 사용하여 형성하는 것이 바람직하다.

<20> 상기 에피택셜층은 20-200Å의 두께를 갖도록 하는 것이 바람직하다.

<21> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<22> 도 13은 본 발명에 따른 모스 전계 효과 트랜지스터의 최종 구조를 나타내 보인 단면도이다.

<23> 먼저 도 13을 참조하면, 본 발명에 따른 모스 전계 효과 트랜지스터는, 반도체 기판(400)의 채널 형성 영역 위에서 순차적으로 적층된 게이트 절연막(402) 및 게이트 도전막 패턴(404)을 포함한다. 게이트 절연막(402) 및 게이트 도전막 패턴(404) 하부에

위치한 반도체 기판(400) 영역을 제1 영역이라 하고, 제1 영역 주위를 제2 영역이라 하면, 반도체 기판(400)의 제1 영역 두께가 제2 영역 두께보다 상대적으로 더 두껍다. 그 이유는, 뒤에서 상세히 설명되겠지만, 게이트 도전막 패턴(404) 형성을 위한 식각 공정과 후속의 기타 다른 식각 공정 및 클리닝 공정에 의해, 반도체 기판(400)의 노출 부분인 제2 영역 표면이 리세스 되는 현상이 발생되기 때문이다. 앞서 종래 기술의 설명에서 언급한 바와 같이, 반도체 기판(400)의 리세스 현상에 의해 반도체 기판(400)의 제2 영역에 배치된 LDD 영역(421) 및 소스/드레인 영역(428)에서의 저항이 증가되고, 또한 유효 채널 길이가 감소되는 문제가 발생된다.

<24> 상기와 같은 문제가 발생하는 것을 억제하기 위하여, 본 발명에 따른 MOS 전계 효과 트랜지스터는, 반도체 기판(400)의 제2 영역 위에 에피택셜층(420)을 갖는다. 이 에피택셜층(420)은, 반도체 기판(400)의 제2 영역에서 리세스된 부분을 보상함으로써, 소스/드레인 영역에서의 저항이 증가되고 유효 채널 길이가 감소되는 문제가 발생되지 않도록 한다. 게이트 도전막 패턴(404)의 측면 및 에피택셜층(420)의 일부 표면 위에는 2층의 절연막들(424, 426)로 이루어진 스페이서막이 배치된다.

<25> 도 4 내지 도 13은 본 발명에 따른 MOS 전계 효과 트랜지스터의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<26> 먼저 도 4를 참조하면, 실리콘으로 이루어지고, 실질적으로 동일한 두께를 갖는 반도체 기판(400)을 준비한 후, 이 반도체 기판(400) 위에 절연막 및 게이트 도전막을 순차적으로 형성한다. 절연막은 얇은 두께의 실리콘 산화막이고, 게이트 도전막은 폴리실리콘막이다. 게이트 도전막 위에는 게이트 도전막의 일부 표면을 노출시키는 마스크막 패턴(406)을 형성한다. 마스크막 패턴(406)은 반사 방지막(ARL; Anti-Reflection

Layer) 패턴이다. 이 마스크막 패턴(406)을 식각 마스크로 한 식각 공정을 수행하여, 게이트 도전막 및 절연막의 노출 부분을 제거한다. 식각 공정에 의해, 게이트 절연막(402)과 게이트 도전막 패턴(404)이 만들어진다. 또한 이 식각 공정에 의해, 반도체 기판(400)의 일부 표면이 일정 두께(d'), 예컨대 수 \AA 에서 수십 \AA 만큼 리세스(recess)된 채 노출된다. 이에 따라 게이트 절연막(402)과 게이트 도전막 패턴(404) 하부, 즉 채널 형성 영역(401)에서의 반도체 기판(400) 두께는 원래의 두께를 유지하지만, 나머지 부분에서의 반도체 기판(400) 두께는 원래의 두께에서 일정 두께(d')만큼 얇아진다.

<27> 다음에 도 5를 참조하면, 게이트 도전막 패턴(404)이 만들어진 반도체 기판(400) 전면에서 제1 절연막(408)을 형성한다. 제1 절연막(408)은 반도체 기판(400)의 노출 표면, 게이트 절연막(402) 측면, 게이트 도전막 패턴(404) 측면 및 마스크막 패턴(406)의 상부면과 측면 위를 덮는다. 제1 절연막(408)은 화학 기상 증착(CVD; Chemical Vapor Deposition)법을 사용하여 대략 수십 \AA 의 두께로 형성한다. 제1 절연막(408)의 전 표면 위에는 제2 절연막(410)을 형성한다. 이 제2 절연막(410)은 대략 수 \AA 에서 수십 \AA 의 두께를 갖도록 형성하고, 제1 절연막(408)과의 식각 선택비가 있는 물질막을 사용하여 형성한다.

<28> 다음에 도 6을 참조하면, 제2 절연막(410) 및 제1 절연막(408)에 대한 식각 공정을 수행하여 제1 절연막 패턴(412) 및 제2 절연막 패턴(414)을 각각 형성한다. 이 식각 공정은 건식 식각 방법을 사용하여 수행한다. 식각 공정에 의해, 마스크막 패턴(406)의 상부 표면과 반도체 기판(400)의 일부 표면은 노출되며, 제1 절연막 패턴(412) 및 제2 절연막 패턴(414)은 스페이스(spacer) 구조가 된다. 이 스페이스 구조의 제1 절연막 패턴(412) 및 제2 절연막 패턴(414)은, 후속 공정인 에피택셜 성장 공정을 진행하는 과정

에서 에피택셜 성장이 이루어지는 부분과 게이트 도전막 패턴(404)이 브리지(bridge)되는 현상이 발생하는 것을 억제한다.

<29> 다음에 도 7을 참조하면, 제1 절연막 패턴(412)의 일부를 제거하기 위한 식각 공정을 수행한다. 이 식각 공정은 습식 식각법을 사용하여 수행하며, 특히 제1 절연막 패턴(412)과 제2 절연막 패턴(414) 사이의 식각 선택비를 이용한다. 제1 절연막 패턴(412)의 제거 정도는, 하부에서 반도체 기판(400)과 접하는 부분이 제거되는 정도이며, 이에 따라 제2 절연막 패턴(414)의 하부와 반도체 기판(400) 사이에는 빈 공간(416)이 만들어진다. 한편 이 식각 공정시 별도의 마스크막 패턴을 사용하지 않으므로, 제1 절연막 패턴(412)의 상부 노출 부분도 일부 제거된다. 따라서 제2 절연막 패턴(414) 상부와 마스크막 패턴(406) 사이에도 빈 공간(418)이 만들어진다. 단 이 식각 공정이 완전히 종료되더라도, 게이트 도전막 패턴(404)의 측면은 여전히 제1 절연막 패턴(412)에 의해 덮여있다.

<30> 다음에 도 8을 참조하면, 에피택셜 성장 공정을 수행하여 반도체 기판(400)의 노출 표면 위에 에피택셜층(420)을 형성한다. 에피택셜층(420)의 성장 두께(d_1)는 대략 수십 Å에서 수백 Å까지 다양하게 결정할 수 있으며, 적어도 반도체 기판(400)의 리세스 두께(도 4의 d')보다는 크게 결정하는 것이 바람직하다. 한편 상기 에피택셜 성장 공정에 의해 에피택셜층(420)이 성장하는 동안, 에피택셜층(420)에 의한 압력으로 인하여 에피택셜층(420)과 접하는 제1 절연막 패턴(412)의 하부 및 제2 절연막 패턴(414)의 하부 프로파일(profile)이 다소 변형될 수도 있다.

<31> 다음에 도 9를 참조하면, 식각 공정을 수행하여 제1 절연막 패턴(412) 및 제2 절연막 패턴(414)을 제거한다. 이 식각 공정은 습식 식각법을 사용하여 수행한다. 식각 공

정이 종료되면, 다음에 마스크막 패턴(406)도 또한 제거한다. 제1 절연막 패턴(412), 제2 절연막 패턴(414) 및 마스크막 패턴(406)을 모두 제거하면, 게이트 도전막 패턴(404)의 상부면 및 측면이 외부로 노출되게 된다. 상기 식각 공정 후에, 통상적으로 클리닝 공정을 수행한다. 다음에 노출된 게이트 도전막 패턴(404)을 갖는 결과물 상에 이온 주입 버퍼층으로 사용될 제3 절연막(422)을 형성한다. 게이트 도전막 패턴(404)이 폴리실리콘막 패턴인 경우, 제3 절연막(422)은 실리콘 산화막으로 형성할 수 있으며, 이 경우 실리콘 산화막을 형성하기 위하여 화학 기상 증착법 또는 통상의 산화 방법을 사용할 수 있다.

<32> 다음에 도 10을 참조하면, 상기 제3 절연막(422)을 이온 주입 버퍼층으로 한 이온 주입 공정을 사용하여 LDD 영역(421)을 형성한다. 도면에서 화살표는 불순물 이온들이 주입되는 것을 나타낸다. LDD 영역(421) 형성을 위한 이온 주입 공정에서의 이온 주입 에너지는 원하는 깊이의 LDD 영역(421)이 형성되도록 결정된다. LDD 영역(421)을 형성한 후, 도 11에 도시된 바와 같이, 제3 절연막(422)을 제거하여 LDD 영역(421)의 표면과 게이트 도전막 패턴(404)의 상부면 및 측면이 노출되도록 한다.

<33> 다음에 도 12를 참조하면, 도 11의 결과물 상에 제4 절연막 및 제5 절연막을 순차적으로 형성한다. 제4 절연막은 실리콘 산화막으로 형성하고, 상대적으로 얇은 두께를 갖는다. 제5 절연막은 실리콘 질화막으로 형성하고, 상대적으로 두꺼운 두께를 갖는다. 특히 제5 절연막 두께는 만들고자 하는 스페이서막의 원하는 두께를 고려하여 결정한다. 다음에 통상의 스페이서막 형성을 위한 전식 식각 공정을 수행하여 게이트 도전막 패턴(404)의 측면에 제3 절연막 패턴(424) 및 제4 절연막 패턴(426)으로 이루어진 스페이서막을 형성한다. 제3 절연막 패턴(424) 및 제4 절연막 패턴(426)으로 이루어진 스페이서

막이 형성되면, 게이트 도전막 패턴(404)의 상부면과 LDD 영역(421)의 일부 표면이 노출되게 된다.

<34> 다음에 도 13을 참조하면, 게이트 도전막 패턴(404) 및 제4 절연막 패턴(426)을 이온 주입 마스크막으로 사용한 이온 주입 공정을 수행하여 깊은 소스/드레인 영역(428)을 형성한다. 도면에서 화살표는 불순물 이온들이 주입되는 것을 나타낸다. 이때도, 이온 주입 에너지는 원하는 깊이의 소스/드레인 영역(428)이 형성되도록 결정된다.

<35> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<36> 이상의 설명에서와 같이, 본 발명에 따른 MOS 전계 효과 트랜지스터 구조 및 그 제조 방법에 의하면, 게이트 도전막 패턴 형성을 위한 식각 공정 및 기타 다른 후속의 식각 공정에 의해 반도체 기판이 리세스 되더라도, 에피택셜층의 존재로 인하여, 이온 주입 공정 이전의 리세스에 의한 유효 채널 길이 감소 현상 및 소스/드레인 저항 증가 현상과, 이온 주입 공정 이후의 리세스에 의한 소스/드레인 저항 증가 현상이 발생되지 않는다는 이점들을 제공한다.

【특허청구범위】**【청구항 1】**

상대적으로 두꺼운 제1 두께를 갖는 제1 영역 및 상기 제1 영역과 인접하고 상대적으로 얇은 제2 두께를 갖는 제2 영역을 갖는 반도체 기판;

상기 제1 영역에서 상기 반도체 기판 위에 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성된 게이트 도전막 패턴;

상기 제2 영역에서 상기 반도체 기판 위에 일정 두께를 갖도록 형성된 에피택셜층;

상기 게이트 도전막 패턴의 측면 및 상기 에피택셜층의 일부 표면 위에 형성된 스페이서막;

상기 스페이서막 하부의 상기 반도체 기판 및 상기 에피택셜층에 형성된 상대적으로 저농도의 제1 불순물 영역; 및

상기 스페이서막에 의해 노출되는 영역의 상기 반도체 기판 및 상기 에피택셜층에 형성된 상대적으로 고농도의 제2 불순물 영역을 포함하는 것을 특징으로 하는 MOS 전계 효과 트랜지스터 구조.

【청구항 2】

제1항에 있어서,

상기 반도체 기판은 실리콘 기판이고, 상기 에피택셜층은 실리콘 에피택셜층인 것을 특징으로 하는 MOS 전계 효과 트랜지스터 구조.

【청구항 3】

제1항에 있어서,

상기 에피택셜층의 두께는 상기 에피택셜층의 두께와 상기 제2 두께의 합이 상기 제1 두께보다 더 크게 되도록 하는 값인 것을 특징으로 하는 모스 전계 효과 트랜지스터 구조.

【청구항 4】

제3항에 있어서,

상기 에피택셜층의 두께는 20-500Å인 것을 특징으로 하는 모스 전계 효과 트랜지스터 구조.

【청구항 5】

제1항에 있어서,

상기 게이트 절연막 및 상기 절연막은 실리콘 산화막이고, 상기 게이트 도전막 패턴은 폴리실리콘막 패턴인 것을 특징으로 하는 모스 전계 효과 트랜지스터 구조.

【청구항 6】

제1항에 있어서,

상기 스페이서막은 2층의 절연막들로 이루어진 것을 특징으로 하는 모스 전계 효과 트랜지스터 구조.

【청구항 7】

반도체 기판의 제1 영역 위에 게이트 절연막, 게이트 도전막 및 마스크막 패턴을 순차적으로 적층한 후, 게이트 절연막 및 게이트 도전막 패턴 형성을 위해 상기 마스크

막 패턴을 이용한 식각 공정시 일정 두께만큼 리세스 되는 상기 반도체 기판의 제2 영역을 갖는 모스 전계 효과 트랜지스터의 제조 방법에 있어서,

상기 반도체 기판의 제2 영역, 상기 게이트 도전막 패턴의 노출 측면 및 상기 마스크막 패턴의 노출면 위에 제1 절연막을 형성하는 단계;

상기 제1 절연막 위에 제2 절연막을 형성하는 단계;

상기 제1 절연막 및 제2 절연막에 대한 식각 공정을 수행하여 상기 마스크막 패턴의 상부 표면과 상기 제1 영역과 접하는 일부를 제외한 나머지 제2 영역 표면이 노출되도록 하는 제1 절연막 패턴 및 제2 절연막 패턴을 형성하는 단계;

상기 제1 절연막에 대한 식각 공정을 수행하여 상기 반도체 기판과 접하는 상기 제1 절연막 패턴의 일부가 제거되도록 하여 상기 제2 영역이 완전히 노출되도록 하는 단계;

상기 노출된 제2 영역 위에 에피택셜층을 성장시키는 단계;

상기 에피택셜층 표면과 상기 게이트 도전막 상부면 및 측면이 노출되도록 상기 마스크막 패턴, 상기 제2 절연막 패턴 및 제1 절연막 패턴을 제거하는 단계;

상기 노출된 에피택셜층 표면 위와 상기 게이트 도전막 표면 위에 이온 주입 버퍼층을 형성하는 단계;

제1 이온 주입 공정을 수행하여 상기 에피택셜층 및 반도체 기판에 저농도의 불순물 영역을 형성하는 단계;

상기 저농도의 불순물 영역과 상기 게이트 도전막 상부면 및 측면이 노출되도록 상기 이온 주입 버퍼층을 제거하는 단계;

상기 노출된 저농도의 불순물 영역과 상기 게이트 도전막 표면상에 제3절연막 및 제4 절연막을 순차적으로 형성하는 단계;

상기 제3 절연막 및 제4 절연막에 대한 식각 공정을 수행하여 상기 에피택셜층의 일부 표면이 노출되도록 하는 스페이서막을 형성하는 단계; 및

상기 스페이서막을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 상기 에피택셜층 및 반도체 기판 내에 고농도의 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 전계 효과 트랜지스터의 제조 방법.

【청구항 8】

제7항에 있어서,

상기 제2 절연막은 상기 제1 절연막에 대한 식각 선택비를 갖는 물질을 사용하여 형성하는 것을 특징으로 하는 MOS 전계 효과 트랜지스터의 제조 방법.

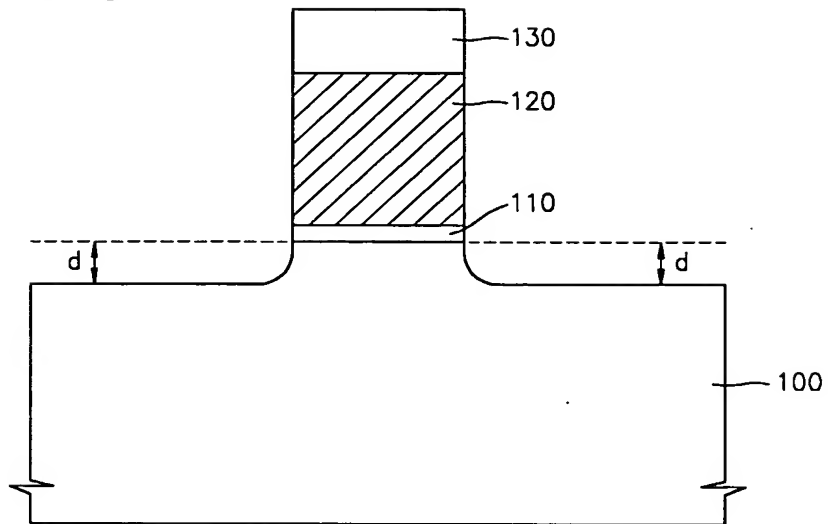
【청구항 9】

제7항에 있어서,

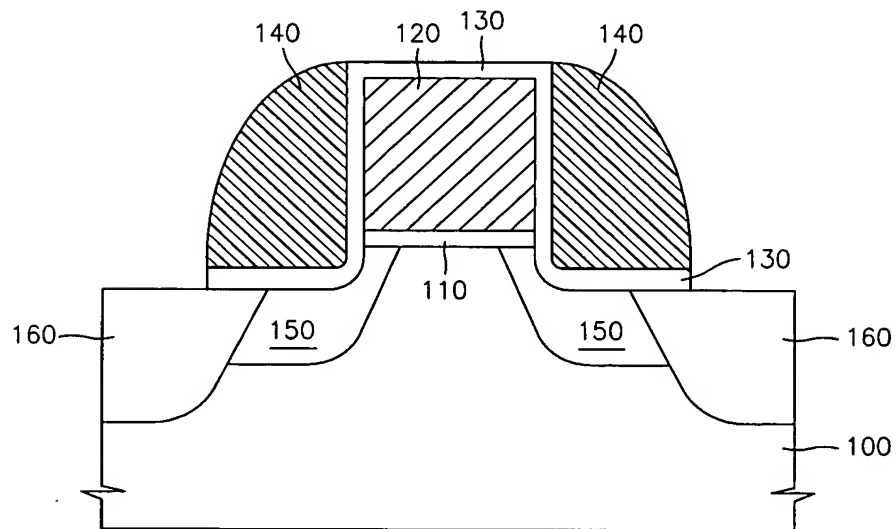
상기 에피택셜층은 20-200Å의 두께를 갖도록 하는 것을 특징으로 하는 MOS 전계 효과 트랜지스터의 제조 방법.

【도면】

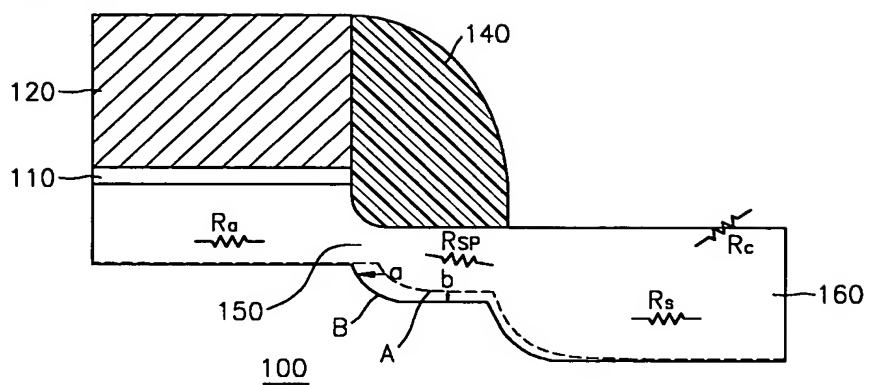
【도 1】



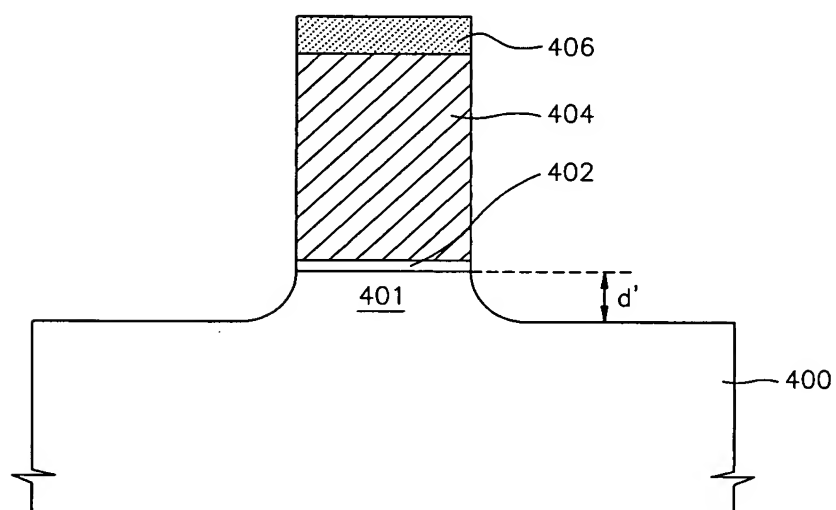
【도 2】



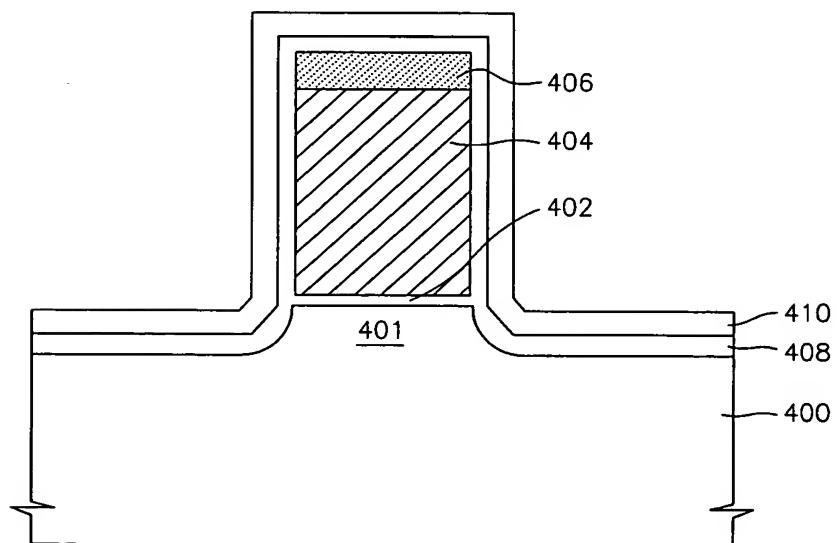
【도 3】



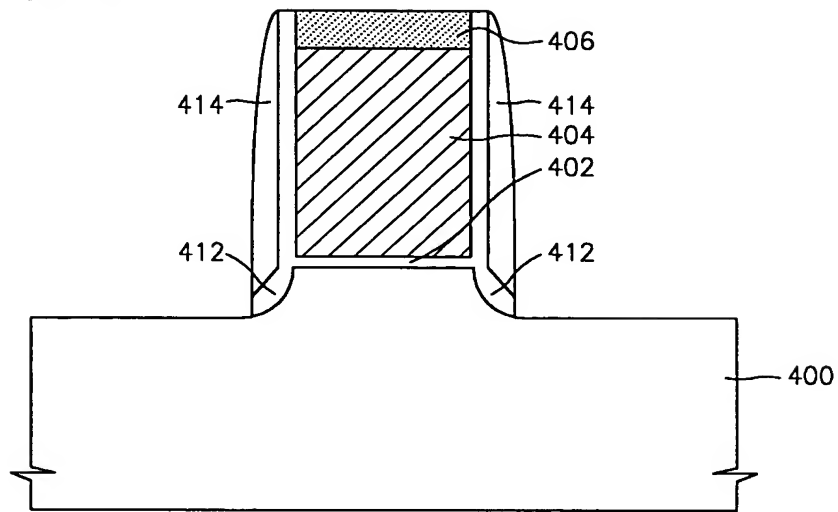
【도 4】



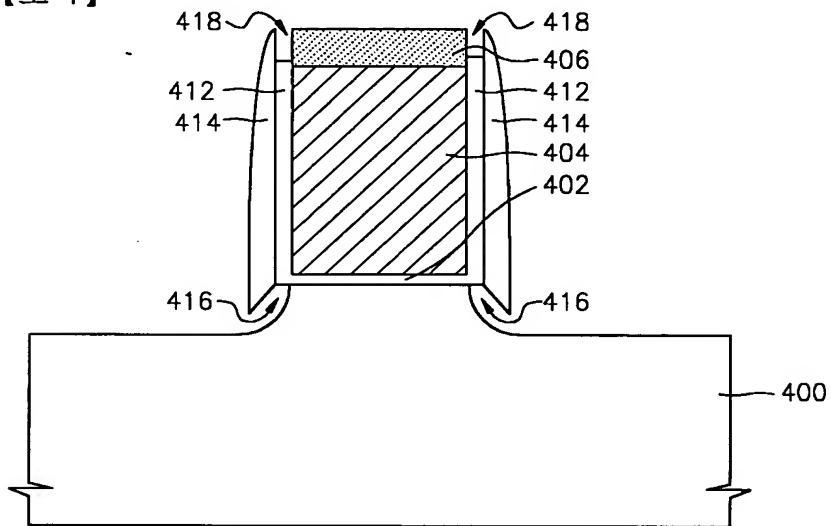
【도 5】



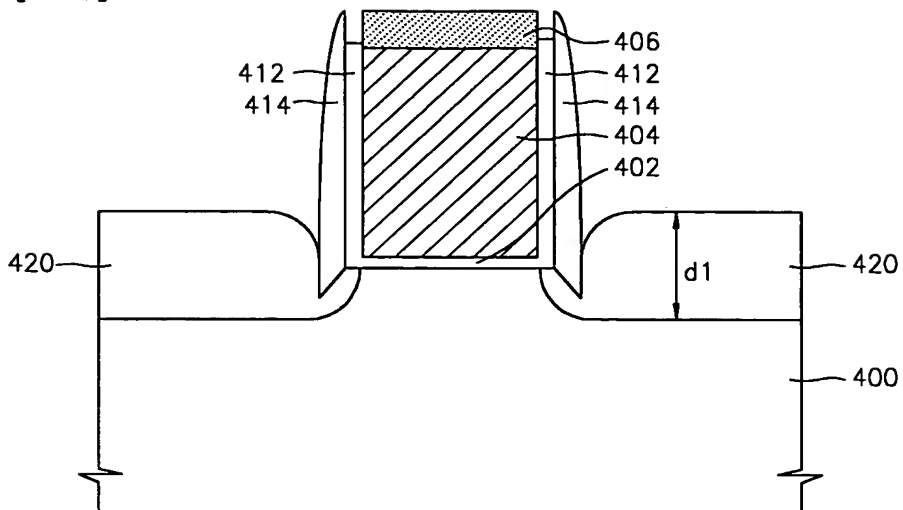
【도 6】



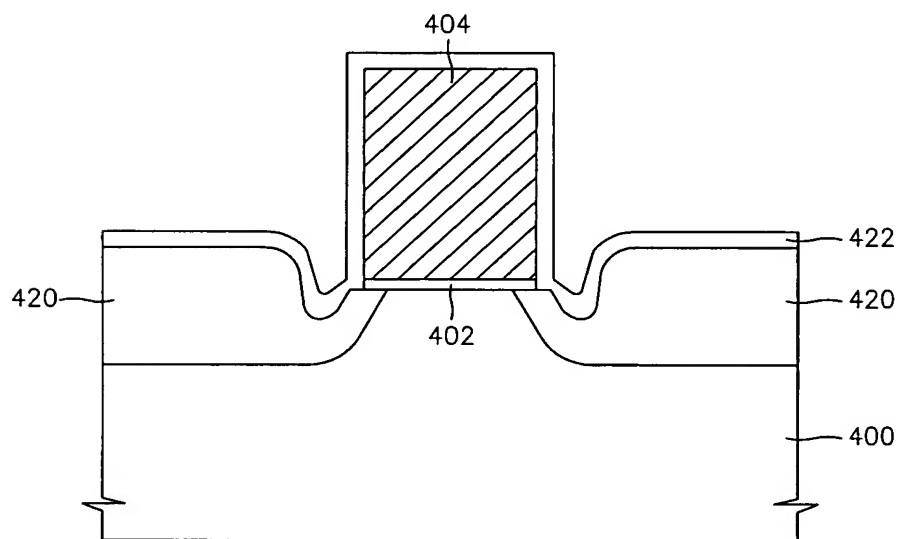
【도 7】



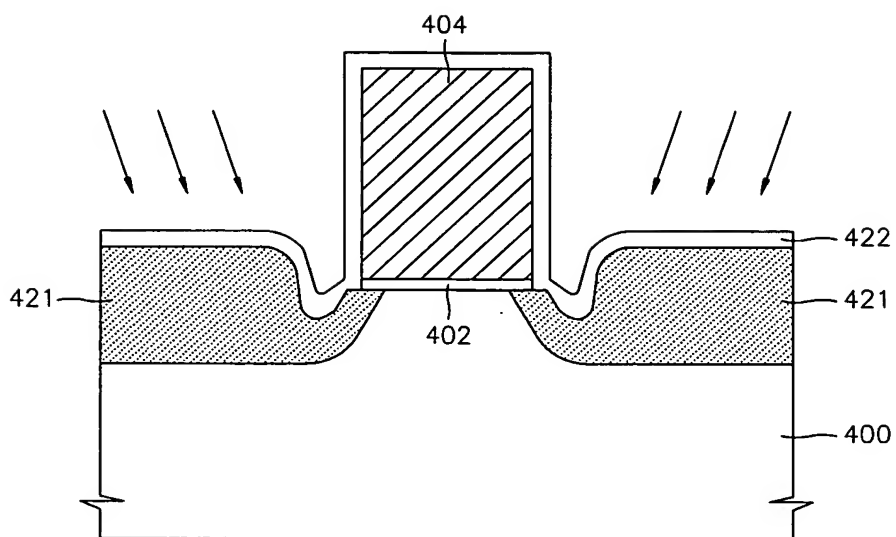
【도 8】



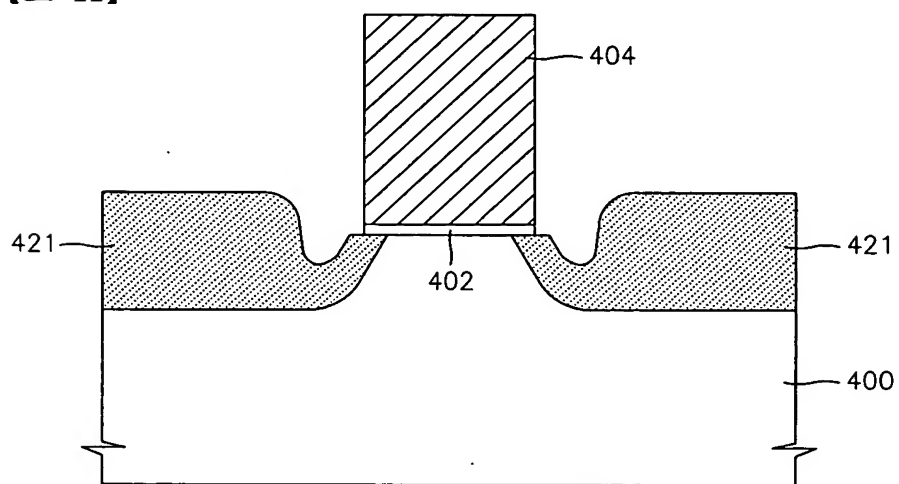
【도 9】



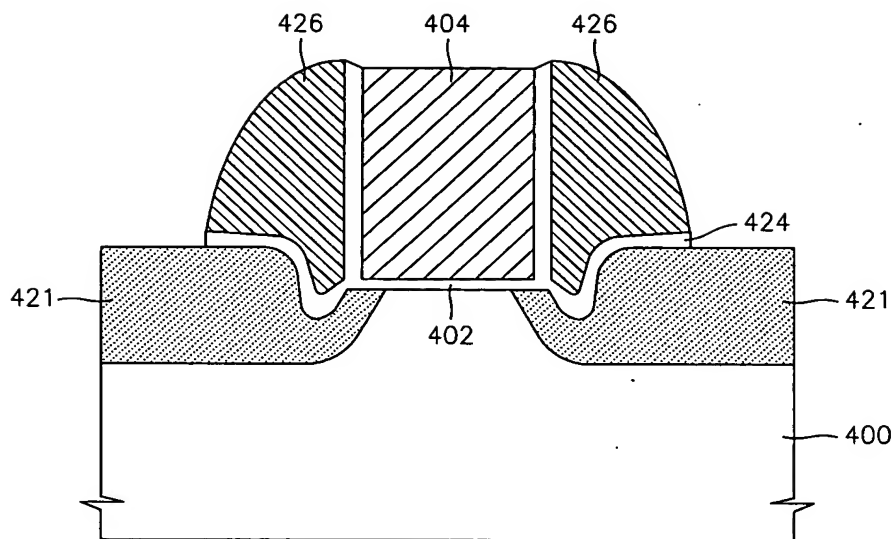
【도 10】



【도 11】



【도 12】



【도 13】

